

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(51)Ind.CI.*	識別記号	FI	
H01L	451	H01L	451 C
	27/10		27/04
	27/04		27/10
	21/822		651
	27/108		
	21/8242		

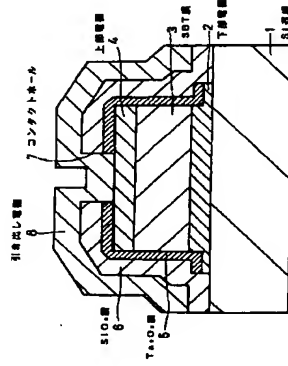
(21) 出願番号	特願平9-288680	(71) 出願人	000002185 ソニ一株式会社 東京都品川区北品川6丁目7番35号	審査請求 未請求 請求項の数15 O L (全 10 頁)
(22) 出願日	平成9年(1997)10月21日	(72) 発明者	杉山 正隆 東京都品川区北品川6丁目7番35号 ソニ一株式会社内	
		(72) 発明者	磯辺 千尋 東京都品川区北品川6丁目7番35号 ソニ一株式会社内	
		(74) 代理人	伊理士 杉浦 正知	最終頁に続く

(54) 【発明の名称】
誘電体キャパシタおよびその製造方法

(57) 【逆略】

【課題】誘電体キャパシタの誘電体膜または強誘電体膜と周囲絶縁膜との反応による誘電体キャパシタの特性の劣化を防止すること、および誘電体キャパシタの誘電体膜または強誘電体膜の腐食欠陥による誘電体キャパシタの特性の劣化を防止することができ、誘電体キャパシタおよびその製造方法を提供する。

【解決手段】 導電性のSi基板1上に下部電極2と、
S_{SB}T膜3と、上部電極4とを順次積層し、この誘電体
膜5の表面をTa₂O₅膜6で覆い、その表面をさらに
Si₃N₄膜7で覆う。Ta₂O₅膜5およびSi₃N₄膜7を
6のうちの上部電極4の上の部分にコンタクトホール7を
設ける。コンタクトホール7を通じて上部電極4と接続
できるように引き出し電極8を設ける。また、Ta₂O₅
膜5の表面を水素化防止効果がある絶縁性のSi₃N₄膜
9で覆うようにし、さらに



【特許請求の範囲】

【請求項1】 下部電極と、上記下部電極上の誘電体膜と、上記誘電体膜上の上部電極とからなる誘電体キャパシタにおいて、

上記誘電体キバシタが、 Nb_2O_5 、 Ta_2O_5 、 ZrO_2 、 CeO_2 、 Y_2O_3 または Hf_2O_3 からなる反応防止膜で覆われていることを特徴とする誘電体キバシタ。

【請求項2】 上記誘電体膜は、 $\text{Bi}_x (\text{Sr}, \text{Ca}, \text{Ba})_y (\text{Ta}, \text{Nb})_2 \text{O}_z$ (ただし、 $1.70 \leq x \leq 2.50$ 、 $0.60 \leq y \leq 1.20$ 、 $z = 9 \pm d$ 、 $0 \leq d \leq 1.0$) で表される結晶相を主たる結晶相とする強誘電体からなることを特徴とする請求項1記載の誘電体キャパシタ。

【請求項3】 上記誘電体膜は、 $(P_b N b_{1-x})_y (Zr T i_{1-z})_{1.0} O_{3.0}$ (ただし、 $0.75 \leq x \leq 1.0$ 、 $0.9 \leq y \leq 1.2$ 、 $0.1 \leq z \leq 0.7$) で表される結晶相を主たる結晶相とする強誘電体からなることを特徴とする請求項1記載の誘電体キャパシタ。

【請求項4】 下部電極と、上記下部電極上の誘電体膜と、上記誘電体膜上の上部電極とからなる誘電体キャパシタにおいて、

上記誘電体キヤパシタが酸化膜およびその上の水素拡散防止効果がある絶縁性の窒化膜で覆われていることを特徴とする誘電体キヤパシタ。

【請求項5】 上記酸化膜が、 Nb_2O_5 、 Ta_2O_5 、 ZrO_2 、 CeO_2 、 Y_2O_3 または Hf_2O_3 からなることを特徴とする請求項4記載の誘電体キヤパシタ。

【請求項6】 上記誘電体膜は、 $\text{Bi}_x (\text{Sr}, \text{Ca}, \text{Ba})_y (\text{Ta}, \text{Nb})_2 \text{O}_z$ (ただし、 $1.70 \leq x \leq 2.50$ 、 $0.60 \leq y \leq 1.20$ 、 $z = 9 \pm d$ 、 $0 \leq d \leq 1.0$) で表される結晶相を主たる結晶相とする増強誘電体からなることを特徴とする請求項4記載の誘電体キャパシタ。

【請求項7】上記誘電体膜は、 $(Pb_x Nb_{1-x})_y (Zr_x Ti_{1-x})_{1.0-0.3}$ (ただし、 $0.75 \leq x \leq 1.0$ 、 $0.9 \leq y \leq 1.2$ 、 $0.1 \leq z \leq 0.7$)で表される結晶相を主たる結晶相とする誘電体からなることを特徴とする請求項4記載の誘電体キャパシタ。

【請求項8】 下部電極と、上記下部電極上の誘電体膜と、上記誘電体膜上の上部電極とからなる誘電体キャパシタの製造方法において、

上記誘電体キヤパシタを被覆するようにしてNb₂O₅、Ta₂O₅、ZrO₂、CeO₂、Y₂O₃またはHf₂O₃からなる反応防止膜を形成するようにしたことを特徴とする誘電体キヤパシタの製造方法。

【請求項9】 上記反応防止膜を形成した後、酸素雰囲気中で熱処理するようにしたことを特徴とする請求項8記載の誘導体キャパシタの製造方法。

【請求項10】 上記誘電体膜は、 $\text{Bi}_x(\text{Sr}, \text{Ca}, \text{Ba})_y(\text{Ta}, \text{Nb})_2\text{O}_z$ (ただし、 1.70

$$\leq x \leq 2.50, 0.60 \leq y \leq 1.20, z = 9 \pm d, 0 \leq d \leq 1.0)$$
で表される結晶相を主たる結晶相とするとする強誘電体からなることを特徴とする請求項8記載の誘電体キャパシタの製造方法。

【請求項11】 上記誘電体膜は、 $(Pb_x Nb_{1-x})_{1/2}(Zr_{1-y} Ti_y)_{1/2}O_{3/2}$ (ただし、 $0.75 \leq x \leq 1.0$ 、 $0.9 \leq y \leq 1.2$ 、 $0.1 \leq z \leq 0.7$)で表される結晶相を主たる結晶相とする誘電体からなることを特徴とする請求項8記載の誘電体キャパシタの製造方法。

【請求項12】 下部電極と、上記下部電極上の誘電体膜と、上記誘電体膜上の上部電極とからなる誘電体キャパシタの製造方法において、

上記誘電体キヤパシタを被覆するように酸化膜およびその上に水素拡散防止効果がある絶縁性の窒化膜を形成するようになしたことを特徴とする誘電体キヤパシタの製造方法。

【請求項13】 上記窒化膜の形成を減圧下で行うことを特徴とする請求項12記載の誘電体キャパシタの製造方法。

【請求項14】 上記誘電体は、 $\text{Bi}_x(\text{Sr}, \text{Ca}, \text{Ba})_y(\text{Ta}, \text{Nb})_2\text{O}_z$ (ただし、 $1.70 \leq x \leq 2.50$ 、 $0.60 \leq y \leq 1.20$ 、 $z = 9 \pm d$ 、 $0 \leq d \leq 1.0$) で表される結晶相を主たる結晶相とする強誘電体からなることを特徴とする請求項12記載の誘電体キャパシタの製造方法。

【請求項15】 上記誘電体膜は、 $(P_x Nb_{1-x})_y (Zr_x Ti_{1-x})_{1-y} O_{3.0}$ (ただし、 $0.75 \leq x \leq 1.0$ 、 $0.9 \leq y \leq 1.2$ 、 $0.1 \leq z \leq 0.7$)で表される結晶相を主たる結晶相とする誘電体からなることを特徴とする請求項12記載の誘電体キャパシタの製造方法。

【發明の詳細な説明】

【発明の属する技術分野】この発明は、誘電体キャパシタおよびその製造方法に関し、特に、誘電体キャパシタを用いた半導体メモリに適用して好適なものである。

【0002】
【従来の技術】従来、半導体メモリにおける誘電体キャパシタは、 SiO_2 膜、 SiN 膜、スピコンガラス (SG) あるいはホウ素シリケートガラス (BP SG) 膜などの誘電体膜で被覆されていた。

【0003】
【発明が解決しようとする課題】ところが、誘電体キヤパシタに用いられる SrTiO_3 膜、 BaSrTiO_3 (BST) 膜、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ (PZT) 膜、あるいは $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT) 膜などの誘電体膜または強誘電体膜が層間絶縁膜としてしまい

誘電体キャパシタの特性が著しく劣化してしまうという問題があった。

【0004】また、半導体メモリにおける誘電体キャパシタに用いられる誘電体膜、強誘電体膜は上述したように酸化膜であるため、トランジスタの活性化プロセスで酸化膜により、酸欠欠陥が生じ、誘電体キャパシタの特性が著しく劣化するという問題があった。そこで、この酸欠欠陥による特性の劣化を防止するために、水素の拡散を防止する効果を有する窒化膜で誘電体キャパシタを被覆することにより特性の劣化を防止することが提案されている。しかしながら、この窒化膜を形成するプロセスでは、大量の水素が発生してしまうのみならず、窒化膜と酸化膜である誘電体膜や強誘電体膜との界面では酸欠欠陥が発生しやすくなっており、誘電体膜や強誘電体膜の特性劣化の原因となってしまう。ここで、一旦生成された酸欠欠陥を酸化性雰囲気中の熱処理により解消しようとする、今度は窒化膜が酸化されてしまい、水素の拡散を防止する効果が失われてしまうなどの問題があった。

【0005】したがって、この発明の目的は、誘電体キャパシタの誘電体膜または強誘電体膜と周囲絶縁膜との反応による誘電体キャパシタの特性の劣化を防止することができ誘電体キャパシタおよびその製造方法を提供することにある。

【0006】この発明の他の目的は、誘電体キャパシタの誘電体膜または強誘電体膜の酸欠欠陥による誘電体キャパシタの特性の劣化を防止することができる誘電体キャパシタおよびその製造方法を提供することにある。

【課題を解決するための手段】上記目的を達成するため、この発明の第1の発明は、下部電極と、下部電極上の誘電体膜と、誘電体膜上の上部電極とからなる誘電体キャパシタにおいて、誘電体膜が、Nb₂O₅、Ta₂O₅、ZrO₂、CeO₂、Y₂O₃またはHf₂O₃からなる反応防止膜で覆われていることを特徴とするものである。

【0008】この発明の第2の発明は、下部電極と、下部電極上の誘電体膜と、誘電体膜上の上部電極とからなる誘電体キャパシタにおいて、誘電体キャパシタが酸化膜およびその上の水素拡散防止効果がある絶縁性の窒化膜で覆われていることを特徴とするものである。

【0009】この第2の発明において、酸化膜としては、各種の酸化膜を用いることができるが、特に、Nb₂O₅、Ta₂O₅、ZrO₂、CeO₂、Y₂O₃またはHf₂O₃からなる膜を用いることにより、反応防止する効果を得ることができる。

【0010】この第2の発明において、水素拡散防止効果がある絶縁性の窒化膜の膜厚は、好適には、10～500nmの範囲から選ばれ、

【0011】この発明の第3の発明は、下部電極と、下部電極上の誘電体膜と、誘電体膜上の上部電極とからなる誘電体キャパシタの製造方法において、誘電体キャパシタを被覆するようにしてNb₂O₅、Ta₂O₅、ZrO₂、CeO₂、Y₂O₃またはHf₂O₃からなる反応防止膜を形成するようにしたことを特徴とするものである。

【0012】この第3の発明において、典型的には、反応防止膜を形成した後、酸欠欠陥中で熱処理する。

【0013】この第3の発明において、好適には、反応防止膜を形成した後、誘電体キャパシタを、オゾン(O₃)を0.5%以上含む酸化雰囲気中で、300～600℃の温度で熱処理する。また、この第3の発明において、好適には、O₃を0.5%以上含む酸化雰囲気中で熱処理を300～600℃の温度で行った後、窒素雰囲気中で熱処理する。

【0014】この発明の第4の発明は、下部電極と、下部電極上の誘電体膜と、誘電体膜上の上部電極とからなる誘電体キャパシタの製造方法において、誘電体キャパシタを、酸化膜およびその上の水素拡散防止効果がある絶縁性の窒化膜で被覆するように形成するようにしたことを特徴とするものである。

【0015】この第4の発明において、典型的には、窒化膜の形成は減圧下で行う。

【0016】この発明の第4の発明において、水素拡散防止効果がある絶縁性の窒化膜の膜厚は、好適には、10～500nmの範囲から選ばれ、

【0017】この発明において、上部電極と下部電極とに挟まれた強誘電体膜の材料として用いられる誘電体膜に、組成式B₁x(Nb_{1-x})₂O₂ (Sr, Ca, Ba) (Ta, Nb)₂O₂ (2.0 ≤ x ≤ 1.0) で表される結晶相を主たる結晶相として、好適には、85%以上含む強誘電体 (若干のB₁およびTaまたはNbの化合物や複合化合物を含有してもよい) またはNbの化合物や複合化合物を含有してもよい) や、組成式(Pb_{1-x}Nb_x)₂O₂ (Zr, Ti) (0.9 ≤ x ≤ 1.0) (ただし、0.75 ≤ x ≤ 1.0) (0.9 ≤ x ≤ 1.0) (2.0 ≤ x ≤ 0.7) で表される結晶相を主たる結晶相として、好適には、85%以上含む強誘電体 (若干のPbおよびNbまたはZr、Tiの化合物や複合化合物を含有してもよい) である。前者の代表例はSrBi₂Ta₂O₉ (SBT) であり、後者の代表例はPb_{0.9}(Zr_{0.1}Ti_{0.9})O₃ (PZT) である。

【0018】また、この発明において、反応防止膜の膜厚は、好適には、5～300nmの範囲から選ばれ、

【0019】上述のように構成されたこの発明の第1および第3の発明によれば、誘電体キャパシタを反応防止膜で被覆していることにより、誘電体キャパシタの誘電体膜と周囲絶縁膜との反応を防止することができる。

【0020】また、この発明の第2および第4の発明に

よれば、誘電体キャパシタを酸化膜およびその上の水素拡散防止効果がある絶縁性の窒化膜で被覆していることにより、ホーミングアニールなどの還元性雰囲気中の熱処理により誘電体膜または強誘電体膜に酸欠欠陥が生じるのを防止することができる。また、誘電体キャパシタと酸化膜との間に酸化膜が設けられているので、酸化膜と誘電体キャパシタの誘電体膜または強誘電体膜とが直接接することにより界面での酸欠欠陥が発生する問題もない。

【0021】
【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、以下の実施形態の全図においては、同一または対応する部分には同一の符号を付す。

【0022】図1はこの発明の第1の実施形態による誘電体キャパシタを示す。図1に示すように、この誘電体キャパシタにおいては、導電性のSi基板1上に、例えばTi膜およびその上のP₁膜からなる下部電極2と、強誘電体膜としてのSBT膜3と、例えばRuO₂膜およびその上のRu膜からなる上部電極4とが順次積層されている。これらの膜の膜厚の一例を挙げると、Ti膜は30nm、P₁膜は200nm、SBT膜は200nm、Ru膜は200nm、RuO₂膜は200nm、Ru膜は200nmである。この誘電体キャパシタは、反応防止膜としてのTa₂O₅膜5で覆われており、このTa₂O₅膜5の表面はさらに周囲絶縁膜としてのSiO₂膜6で覆われている。これらの膜の膜厚の一例を挙げると、Ta₂O₅膜5は30nm、SiO₂膜6は200nmである。これらのTa₂O₅膜5およびSiO₂膜6のうち、上部電極4の上の部分にはコンタクトホール7が設けられている。そして、このコンタクトホール7を通じて上部電極4と接続されるように例えばAl合金からなる引き出し電極8が設けられている。

【0023】次に、上述のように構成されたこの第1の実施形態による誘電体キャパシタの製造方法について説明する。

【0024】まず、Si基板1上に例えばスパッタリング法により通常の条件で後に下部電極2となるTi膜およびP₁膜を順次成膜する。次に、P₁膜上に、例えばゾルゲル法によりSBT膜3を形成する。次に、このSBT膜3上に例えばスパッタリング法あるいはMOCVD法により通常の条件で後に上部電極4となるRuO₂膜およびRu膜を順次成膜する。

【0025】次に、このRu膜上にゾルゲル法工程により誘電体キャパシタの形状に対応した形状のレジストパターン (図示せず) を形成した後、このレジストパターンをマスクとして、例えばArガス、O₂ガスおよびCl₂ガスの混合ガスを用いた例えばプラズマエッチング法によってTi膜の表面が露出するまでエッチングを行うことにより誘電体キャパシタの形状にパターンニング

する。その後、レジストパターンを除去する。
【0026】次に、例えばMOCVD法により全面にTa₂O₅膜5を成膜する。

【0027】次に、Ta₂O₅膜5上にゾルゲル法工程により誘電体キャパシタの形状よりわずかに大きな形状のレジストパターン (図示せず) を形成し、このレジストパターンをマスクとして例えば反応性プラズマエッチング法によりTa₂O₅膜5および下部電極2のTi膜を順次エッチングする。その後、レジストパターンを除去する。

【0028】次に、例えば酸欠雰囲気中において例えば700℃で30分間熱処理する。

【0029】次に、全面に例えばCVD法により通常の条件でSiO₂膜6を成膜した後、Ta₂O₅膜5およびSiO₂膜6のうち、上部電極4上の所定部分をエッチング除去してコンタクトホール7を形成する。次に、全面に例えばスパッタリング法によりAl合金膜を成膜した後、このAl合金膜をエッチングにより所定形状にパターンニングして引き出し電極8を形成する。

【0030】以上の工程により、図1に示す目的とする誘電体キャパシタが製造される。

【0031】以上の工程により製造された誘電体キャパシタのSi基板1と引き出し電極8との間に電圧を印加して分極 (P) - 電圧 (V) とヒステリシスを測定した結果、強誘電体メモリで重要な誘電分極値 (残分極値) 2P_r = 20～26μC/cm²の値が得られた。この2P_rの値はSBT膜3を用いた誘電体キャパシタとしては良好な値であり、これが、Si基板1を通して測定で得られた。これに対し、反応防止膜としてのTa₂O₅膜5を成膜せず、誘電体キャパシタをSiO₂膜6で直接被覆した従来の誘電体キャパシタの誘電分極値2P_rは、10μC/cm²以下であった。

【0032】以上の工程により、この第1の実施形態によれば、誘電体キャパシタとSiO₂膜6との間に、反応防止膜としての酸欠のトラップ効果が大きく熱的に安定なTa₂O₅膜5を設けていることにより、周囲絶縁膜としてのSiO₂膜6と強誘電体膜としてのSBT膜3との間の反応を防止することができるので、誘電分極値の低下などの誘電体キャパシタの特性の劣化を防止することができ、したがって、誘電体キャパシタの信頼性を向上させることができる。

【0033】図2はこの発明の第2の実施形態による誘電体キャパシタを示す。図2に示すように、この誘電体キャパシタにおいては、導電性のSi基板1上に、1rO₂膜およびその上の1r膜からなる下部電極12と、強誘電体膜としてのSBT膜13と、例えば1r膜からなる上部電極14とが順次積層されている。これらの膜の膜厚の一例を挙げると、下部電極12を構成する1rO₂膜は100nm、1r膜は30nm、SBT膜13は150nm、上部電極14としての1r膜は10

0nmである。この誘電体キャパシタは、反応防止膜としてのTa₂O₅膜15で覆われており、このTa₂O₅膜15の表面はさらに水素拡散防止効果がある絶縁性のSi₃N₄膜16で覆われている。ここで、これらの膜の膜厚の一例を挙げると、Ta₂O₅膜15は30nm、Si₃N₄膜16は200nmである。これらのTa₂O₅膜15およびSi₃N₄膜16のうち上部電極14の上部部分にはコンタクトホール17が設けられている。そして、このコンタクトホール17を通じて上部電極14と接続されるように例えばAl合金からなる引き出し電極18が設けられている。

【0034】次に、上述のように構成されたこの第2の実施形態による誘電体キャパシタの製造方法について説明する。

【0035】まず、Si基板11上に例えばスパッタリング法により通常の条件で後に下部電極12となるIr膜、Ta₂O₅膜およびIr膜を順次成膜する。次に、このIr膜上に、例えばCVD法によりアモルファス相を主成分とするBisrTaO膜（ただし、原子組成比は1.8≦2B1/Ta≦2.8、0.6≦2Sr/Ta≦1.2）を成膜する。次に、このBisrTaO膜上に例えばスパッタリング法あるいはMOCVD法により通常の条件で後に上部電極14となるIr膜を成膜する。

【0036】次に、リソグラフィ工程によりIr膜上に誘電体キャパシタの形状に対応した形状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、例えばArガス、O₂ガスおよびC₁₂ガスの混合ガスを用いた例えばプラズマエッチング法により下部電極12のIr膜の表面が露出するまでエッチングを行う。その後、レジストパターンを除去する。

【0037】次に、例えばMOCVD法により全面にTa₂O₅膜15を成膜する。

【0038】次に、例えば酸素雰囲気中において例えば800℃で1時間熱処理する。これによって、上述のBisrTaO膜がSBT膜13となる。

【0039】次に、このTa₂O₅膜15上にリソグラフィ工程により誘電体キャパシタよりわずかに大きな形状のレジストパターン（図示せず）を形成し、このレジストパターンをマスクとして例えば反応性プラズマエッチング法によりTa₂O₅膜15および下部電極12のIr膜を順次エッチングする。その後、レジストパターンを除去する。

【0040】次に、全面に例えばプラズマCVD法により、減圧下においてSi₃N₄膜16を成膜する。次に、95%のN₂ガスと5%のH₂ガスとから構成されたホーミングガス雰囲気中において、400℃で30分間熱処理する。次に、Ta₂O₅膜15およびSi₃N₄膜16の膜上の所定部分をエッチング除去し、コンタクトホール17を形成する。次に、全面に例え

ばスパッタリング法によりAl合金膜を成膜した後、このAl合金膜をエッチングにより所定形状にパターンニングして引き出し電極18を形成する。

【0041】以上の工程により、図2に示す目的とする誘電体キャパシタが製造される。

【0042】以上のようにして製造された誘電体キャパシタのP-Vヒステリシスを、第1の実施形態と同様に測定した結果、強誘電体メモリで重要な誘電分極値2P_r＝20～26μC/cm²の値が得られた。この2P_rの値はSBT膜13を用いた誘電体キャパシタと比べて良好な値であり、これがSi基板11を通じて測定で得られた。これに対し、Ta₂O₅膜15上に200nmの膜厚のSi₃N₄膜を成膜した誘電体キャパシタ中のSBT膜の誘電分極値2P_rは、10μC/cm²以下であった。

【0043】以上のように、この第2の実施形態によれば、Ta₂O₅膜で誘電体キャパシタを覆っていることにより、第1の実施形態と同様の効果を得ることができるとともに、Ta₂O₅膜15の上にさらに水素拡散防止効果があるSi₃N₄膜16で覆うようにしていることにより、ホーミングガス雰囲気中での熱処理における基板による誘電体キャパシタの特性劣化を防止することができ、また、ホーミングガス雰囲気中での熱処理によって誘電体キャパシタの特性が多少劣化してしまうようなことがあっても、酸素雰囲気中で熱処理することにより特性の回復が可能である。したがって、誘電体キャパシタの信頼性を向上させることができる。

【0044】次に、この発明の第3の実施形態による誘電体キャパシタについて説明する。

【0045】この第3の実施形態による誘電体キャパシタにおいては、反応防止膜としてCeO₂膜を用いる。その他のことは、第2の実施形態と同様である。

【0046】また、この第3の実施形態による誘電体キャパシタの製造方法は、第2の実施形態と同様であるので説明を省略する。

【0047】この第3の実施形態によれば、第2の実施形態と同様の効果を得ることができる。

【0048】図3はこの発明の第4の実施形態による誘電体キャパシタを示す。図3に示すように、この誘電体キャパシタにおいては、導電性のSi基板21上に、Ti膜、Ti₂N膜、Ir膜、IrO₂膜およびIr膜が順次積層された下部電極22と、強誘電体膜としてのPZT膜23と、例えばIr膜からなる上部電極24とが順次積層されている。これらの膜の膜厚の一例を挙げると、下部電極22を構成するTi膜は10nm、Ti₂N膜は30nm、Ir膜は100nm、上部電極24は50nm、PZT膜23は200nm、上部電極24としてのIr膜は100nmである。この誘電体キャパシタは、反応防止膜としてのZrO₂膜25で覆われており、このZrO₂膜25の表面はさらに水素拡散防止効果がある絶縁性

のSi₃N₄膜26で覆われている。ここで、これらの膜の膜厚の一例を挙げると、ZrO₂膜25は30nm、Si₃N₄膜26は200nmである。これらのZrO₂膜25およびSi₃N₄膜26のうち上部電極24の上部部分にはコンタクトホール27が設けられている。そして、このコンタクトホール27を通じて上部電極24と接続されるように例えばAl合金からなる引き出し電極28が設けられている。

【0049】次に、上述のように構成されたこの第4の実施形態による誘電体キャパシタの製造方法について説明する。

【0050】まず、Si基板21上に例えばスパッタリング法により通常の条件で後に下部電極22となるTi膜、Ti₂N膜、Ir膜、IrO₂膜およびIr膜を順次成膜する。次に、このIr膜上に例えばCVD法によりアモルファス相を主成分としたPbZrTiO膜（ただし、原子組成比は0.1≦Zr/Pb≦0.7、0.3≦Ti/Pb≦0.9、0.9≦Pb/(Zr+Ti)≦1.2）を成膜する。次に、このPbZrTiO膜上に例えばスパッタリング法あるいはMOCVD法により通常の条件で後に上部電極24となるIr膜を成膜する。次に、このIr膜上にリソグラフィ工程により誘電体キャパシタの形状に対応した形状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、例えばArガス、O₂ガスおよびC₁₂ガスの混合ガスを用いた例えばプラズマエッチング法により下部電極22のIr膜の表面が露出するまでエッチングを行う。その後、レジストパターンを除去する。

【0051】次に、例えばMOCVD法により全面にZrO₂膜25を成膜する。

【0052】次に、ZrO₂膜25上にリソグラフィ工程により上部電極24の形状よりわずかに大きな形状のレジストパターン（図示せず）を形成し、このレジストパターンをマスクとして例えば反応性プラズマエッチング法によりZrO₂膜25、Ir膜、IrO₂膜、Ti₂N膜およびTi膜を順次エッチングする。その後、レジストパターンを除去する。

【0053】次に、例えば酸素雰囲気中において例えば700℃で1時間熱処理する。これによって、上述のPbZrTiO膜がPZT膜23となる。

【0054】次に、全面に例えばプラズマCVD法により、減圧下においてSi₃N₄膜26を成膜する。次に、95%のN₂ガスと5%のH₂ガスとから構成されたホーミングガス雰囲気中において、400℃で30分間熱処理する。次に、ZrO₂膜25およびSi₃N₄膜26のうち、上部電極24の所定部分をエッチング除去してコンタクトホール27を形成する。次に、例えばスパッタリング法により全面にAl合金膜を成膜した後、このAl合金膜をエッチングにより所定形状にパターンニングして引き出し電極28を形成する。

【0055】以上の工程により、図3に示す目的とする誘電体キャパシタが製造される。

【0056】以上のようにして製造された誘電体キャパシタのP-Vヒステリシスを、第1の実施形態と同様に測定した結果、強誘電体メモリで重要な誘電分極値2P_r＝20～60μC/cm²の値が得られた。この2P_rの値はPZT膜23を用いた誘電体キャパシタと比べて良好な値であり、これがSi基板21を通じて測定で得られた。これに対し、ZrO₂膜25上に200nmの膜厚のSi₃N₄膜を成膜した誘電体キャパシタにおいては、誘電分極値2P_rは15μC/cm²以下であった。

【0057】この第4の実施形態によれば、第2の実施形態と同様の効果を得ることができる。

【0058】図4はこの発明の第5の実施形態による誘電体キャパシタを示す。図4に示すように、この誘電体キャパシタにおいては、導電性のSi基板31上に、Ti膜、Ru膜およびRuO₂膜が順次積層された下部電極32と、(Ba_{0.5}Sr_{0.5})TiO₃（BST）膜33と、例えばTi₂N膜からなる上部電極34とが順次積層されている。これらの膜の膜厚の一例を挙げると、下部電極32を構成するTi₂N膜は50nm、Ru膜は100nm、RuO₂膜は100nm、BST膜33は50nm、上部電極34としてのTi₂N膜は100nmである。また、この誘電体キャパシタは、反応防止膜としてのTa₂O₅膜35で覆われており、このTa₂O₅膜35は、さらに水素拡散防止効果があるSi₃N₄膜36で覆われている。また、Ta₂O₅膜35およびSi₃N₄膜36で覆われた誘電体キャパシタは閉回路絶縁膜としてのSiO₂膜37で覆われている。これらの膜の膜厚の一例を挙げると、Ta₂O₅膜35は30nm、Si₃N₄膜36は100nm、SiO₂膜37は200nmである。これらのTa₂O₅膜35、Si₃N₄膜36およびSiO₂膜37のうち上部電極34の上部部分にはコンタクトホール38が設けられている。そして、このコンタクトホール38を通じて上部電極34と接続されるように例えばAl合金からなる引き出し電極39が設けられている。

【0059】次に、上述のように構成されたこの第5の実施形態による誘電体キャパシタの製造方法について説明する。

【0060】まず、Si基板31上に例えばスパッタリング法により通常の条件で後に下部電極32となるTi₂N膜、Ru膜およびRuO₂膜を順次成膜する。次に、このRuO₂膜上に、例えばMOCVD法によりBST膜33を形成する。このMOCVD法における原料としては、例えばBa（DPM）₂（DPM＝ジピロイルメタネート）、Sr（DPM）₂およびTi（i-OC₃H₇）₄の各有機金属原料を用いる。次に、このBST膜33上に例えばCVD法により通常の条件で後に上

部電極34となるTiN膜を成膜する。

【0061】次に、このTiN膜上にリソグラフィ工程により誘電体キャパシタの形状に対応したレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、例えばArガス、O₂ガスおよびC₁2ガスの混合ガスを用いた例えばプラズマエッチング法により上部電極34のTiN膜、BST膜33、下部電極32を構成するRuO₂膜、Ru膜およびTiN膜を順次エッチングする。その後、レジストパターンを除去する。

【0062】次に、全面に例えばCVD法により通常の条件でTa₂O₅膜35を成膜した後、このTa₂O₅膜35の表面に例えばCVD法により減圧下においてSiN膜36を成膜する。

【0063】次に、リソグラフィ工程によりSiN膜36上に誘電体キャパシタの形状よりわずかに大きいレジストパターン（図示せず）を形成し、このレジストパターンをマスクとして例えば反応性プラズマエッチング法によりSiN膜36およびTa₂O₅膜35を順次エッチングする。その後、レジストパターンを除去する。

【0064】次に、窒素雰囲気中において例えば700℃で1時間熱処理した後、95%のN₂ガスと5%のH₂ガスとから構成されたホーミングガス中において例えば400℃で30分間熱処理する。

【0065】次に、例えばCVD法により全面にSiO₂膜37を成膜する。その後、Ta₂O₅膜35、SiN膜36およびSiO₂膜37のうち、上部電極34の上面の所定部分をエッチング除去してコンタクトホール38を形成する。次に、例えばスパッタリング法により全面にAl合金膜を成膜した後、このAl合金膜をエッチングにより所定形状にパターンニングして引き出し電極39を形成する。

【0066】以上の工程により、図4に示す目的とする誘電体キャパシタが製造される。

【0067】以上のようにして製造された誘電体キャパシタ中のBST膜33の誘電率を測定した結果、誘電率として150〜200の値が得られた。この誘電率の値は誘電体キャパシタ中のBST膜33にとって良好な値である。これに対し、Ta₂O₅膜35およびSiN膜36で覆われていない誘電体キャパシタのBST膜33の誘電率は100以下であった。

【0068】この第5の実施形態によれば、第2の実施形態と同様の効果を得ることができる。

【0069】図5は、この発明の第6の実施形態による誘電体不揮発性メモリを示す。この第6の実施形態による誘電体不揮発性メモリは、メモリセルを構成する誘電体キャパシタとしてスタック型誘電体キャパシタを用いたものである。

【0070】図5に示すように、この第6の実施形態による誘電体不揮発性メモリにおいては、p型Si基板

【0073】以上のように、この第6の実施形態によれば、誘電体キャパシタCと層間絶縁膜55との間に反応防止膜54を設けることにより、層間絶縁膜55と誘電体キャパシタCの誘電体膜52との反応を防止することができ、特性の良好な誘電体キャパシタを有する誘電体不揮発性メモリを得ることができる。

【0074】図6はこの発明の第7の実施形態による誘電体不揮発性メモリを示す。なお、図6において、図5と同様または対応する部分に同一の符号を付す。

【0075】図6に示すように、この第7の実施形態による誘電体不揮発性メモリにおいては、誘電体キャパシタCの全面を覆うように反応防止膜54が設けられており、さらに、その反応防止膜54の表面を覆うようにして、水素拡散防止効果がある層間絶縁膜としての例えばSiN膜のような窒化膜58が設けられている。その他のことは第6の実施形態による誘電体不揮発性メモリと同様であるので、説明を省略する。

【0076】この第7の実施形態によれば、第6の実施形態と同様の効果を得ることができる。また、反応防止膜54の表面を窒化膜58で覆うようにしていることにより、ホーミングガス中の熱処理における水素の拡散を防ぐことができるので、水素の拡散による誘電体キャパシタCの特性の劣化を防ぐことができる。

【0077】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0078】例えば、上述の実施形態において挙げた数値、構造、有機金属原料はあくまでも例に過ぎず、必要に応じてこれらとは異なる数値、構造、有機金属原料を用いてもよい。

【0079】【発明の効果】以上説明したように、この発明の第1の

発明および第3の発明によれば、誘電体キャパシタを、Nb₂O₅、Ta₂O₅、ZrO₂、CeO₂、Y₂O₃またはHf₂O₃からなる反応防止膜で覆うようにしていることにより、誘電体キャパシタの誘電体膜または誘電体膜と層間絶縁膜との反応による誘電体キャパシタの特性の劣化を防止することができる。

【0080】この発明の第2の発明および第4の発明によれば、誘電体キャパシタを窒化膜およびその上の水素拡散防止効果がある絶縁性の窒化膜で覆うようにしていることにより、誘電体キャパシタの誘電体膜または誘電体膜の酸素欠陥による誘電体キャパシタの特性の劣化を防止することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態による誘電体キャパシタを示す断面図である。

【図2】この発明の第2の実施形態による誘電体キャパシタを示す断面図である。

【図3】この発明の第4の実施形態による誘電体キャパシタを示す断面図である。

【図4】この発明の第5の実施形態による誘電体キャパシタを示す断面図である。

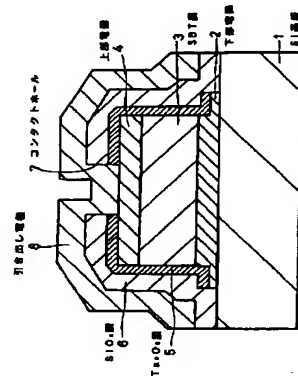
【図5】この発明の第6の実施形態による誘電体不揮発性メモリを示す断面図である。

【図6】この発明の第7の実施形態による誘電体不揮発性メモリを示す断面図である。

【符号の説明】

1、11、21、31・・・Si基板、2、12、22、32・・・下部電極、3、13・・・SBT膜、4、14、24、34・・・上部電極、5、15、35・・・Ta₂O₅膜、23・・・PZT膜、25・・・ZrO₂膜、26、36・・・SiN膜、33・・・BST膜

【図1】



【図2】

